

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0084591
Application Number

출원 년 월 일 : 2002년 12월 26일
Date of Application DEC 26, 2002

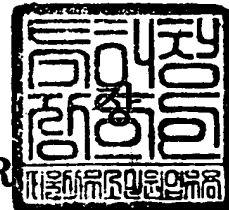
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.19
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0084591
【출원일자】	2002.12.26
【심사청구일자】	2003.03.19
【발명의 명칭】	반도체장치
【제출원인】	
【접수번호】	1-1-02-0430852-53
【접수일자】	2002.12.26
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

1020020084591

출력 일자: 2003/5/15

【첨부서류】

1. 보정내용을 증명하는 서류[발명의명칭, 발명의상
세한설명, 특허청 구범위 보정]_1통

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

본 발명은 셀 가장자리영역 등 패턴 취약 지역에서의 패턴이 무너지는 현상을 근본적으로 방지할 수 있는 반도체장치를 제공하기 위한 것으로, 이를 위해 본 발명은, 가장자리영역이 중앙에 비해 패턴의 밀도가 낮은 반도체장치에 있어서, 상기 웨이퍼의 중앙에 일정 간격으로 배치된 다수의 바형 패턴; 및 상기 웨이퍼의 가장자리영역에서 바형으로 이루어진 적어도 두 개의 패턴이 서로 연결된 더미 패턴을 포함하는 반도체장치를 제공한다.

【보정대상항목】 색인어

【보정방법】 정정

【보정내용】

리프팅(Lifting), 패턴 무너짐(Pattern collapse), 소자분리막, 랜딩플러그콘택, 연결 패턴, 더미 패턴(Dummy pattern), 바형 패턴.

【보정대상항목】 식별번호 3

【보정방법】 정정

【보정내용】

도 3은 바형 패턴의 셀영역 가장자리에서의 더미 패턴의 패턴 무너짐 현상을 도시한 평면 SEM 사진.

【보정대상항목】 식별번호 8

【보정방법】 정정

【보정내용】

50 : 웨이퍼 51 : 바형 패턴

【보정대상항목】 식별번호 11

【보정방법】 정정

【보정내용】

A-A' : 셀 중앙 영역 B-B' : 셀 가장자리영역

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

예컨대, 반도체장치를 구성하는 고립된 바 형상의 패턴(Isolated bar pattern)을 형성하는 것과 같은 반복적인 패턴 형성 공정에서 셀 가장자리영역에서의 효율적인 패턴 형성을 위해, 셀 최외곽에도 동일한 공정을 통해 셀영역에서의 라인 패턴과 동일한 크기로 더미 패턴을 제작하여 셀영역 가장자리에서의 포토리소그라피 공정 상에서 발생하는 프락시미티 효과(Proximity effect; Micro loading effect, 패턴이 밀한 지역과 소한 지역의 경계면에서 식각되는 속도가 차이가 나는 현상)를 최소화할 수 있도록 패턴 형성 공정을 실시하고 있다.

【보정대상항목】 식별번호 15

【보정방법】 정정

【보정내용】

이는 셀 최외곽 영역에서의 바형 패턴 형성시 셀 중앙 부위에서의 라인 패턴과 동일 환경을 갖게 함으로써, 반도체장치의 집적도가 증가함에 따라 발생할 수 있는 선폭의 불균일도를 극복하기 위한 것이다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

도 1은 셀영역과 셀 가장자리영역에 형성된 바형 패턴을 도시한 평면도이고, 도 2는 셀 가장자리영역에서의 패턴 붕괴 현상을 설명하기 위한 모식도이며, 도 3은 바형 패턴의 셀영역 가장자리에서의 더미 패턴의 패턴 무너짐 현상(Collapse)을 도시한 평면 SEM 사진이다.

【보정대상항목】 식별번호 18

【보정방법】 정정

【보정내용】

더미 패턴(10b)들은 주 패턴의 형성에만 도움을 주는 역할을 수행하며 소저의 동작에는 큰 영향을 끼치지 않지만, 더미 패턴(10b)은 전술한 바와 같은 이유로 매우 중요하며 공정상 반드시 필요하다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

하지만, 반도체장치의 집적도가 증가함에 따라 120nm 이하의 소자를 제조할 경우에는 선폭에 비해 식각내성을 고려하여 포토레지스트의 두께를 증가시키는 것이 불가피하게 되었고, 이에 따라 패턴의 무너짐 현상은 직선(Straight)형 패턴을 갖는 경우에 비해 고립된 바형 패턴 형성시 매우 큰 이슈로 부각된다. 특히, 셀영역 가장자리에서의 프락시미티 효과로 인해 셀영역의 패턴과 동일한 크기로 제작된 반복적인 더미 패턴(10b)의 크기가 작아지는 현상(도 2의 11)이 발생하며, 이로 인해 포토레지스트 패턴의 붕괴 문제(12)는 더욱 심화되고 있는 실정이다.

【보정대상항목】 식별번호 21

【보정방법】 정정

【보정내용】

도 4a 내지 도 4c를 참조하면, 셀 가장자리영역에서 프락시미티 효과로 인해 더미 패턴(10b)이 무너지는 현상(12)이 여러가지 형태로 나타남을 확인할 수 있다.

따라서, 웨이퍼의 가장자리 영역에서의 더미 패턴의 무너지는 현상을 방지할 수 있는 기술이 필요한 실정이다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

상기의 목적을 달성하기 위한 본 발명은, 가장자리영역이 중앙에 비해 패턴의 밀도가 낮은 반도체장치에 있어서, 상기 웨이퍼의 중앙에 일정 간격으로 배치된 다수의 바형 패턴; 및 상기 웨이퍼의 가장자리영역에서 바형으로 이루어진 적어도 두 개의 패턴이 서로 연결된 더미 패턴을 포함하는 반도체장치를 제공한다.

【보정대상항목】 식별번호 24

【보정방법】 정정

【보정내용】

본 발명은 패턴의 무너짐 현상은 해당 패턴이 하지층(예컨대, 절연막)과의 접촉 면적이 클 경우에 보다 효과적으로 방지할 수 있다라는 기본적인 원리로부터 출발한다. 이를 위해 셀 레이아웃 설계시 반복적인 고립된 바형 패턴 형성시 패턴 취약 영역 예컨대, 반도체 메모리장치의 셀 가장자리영역에서의 효율적인 패턴 형성을 위해 셀 최외곽에 최소한 수개 내지 수십개의 형성된 더미 패턴을 웨이퍼 중앙 영역 예컨대, 셀영역과 거의 유사한 크기로 제작하여 셀 가장자리영역에서의 포토리소그래피 공정에서의 한계로 발생하는 프락시미티 효과를 최소화하기 위해 다음과 같이 한다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

1). 반도체장치의 웨이퍼가장자리영역에서의 패턴은 더미 패턴으로 형성한다.

【보정대상항목】 식별번호 26

【보정방법】 정정

【보정내용】

2). 이 때, 더미 패턴 간에는 패턴 무너짐을 효과적으로 방지하기 위해 하지층과의 접촉 면적을 증가시키기 위해 인접한 더미 패턴간을 규칙적으로 상호 연결한다.

【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

도 5를 참조하면, 본 발명의 반도체장치는 소정 공정이 완료됨에 따라 유발되며 그 가장자리영역(B-B')이 가장자리영역을 제외한 영역(A-A')에 비해 낮은 토폴로지를 갖아 패턴의 사이즈가 줄어드는 반도체 메모리 셀(50)이 배치되어 있으며, 메모리 셀(50)의 가장자리를 제외한 영역(A-A')에 배치된 다수의 바형 패턴(51)과, 바형 패턴(51)이 메모리 셀(50)의 가장자리영역(B-B')에 형성될 경우 바형 패턴(52a, 52b)이 무너지는 것을 방지하기 위해 적어도 두 개의 바형 패턴

(52a, 52b)을 서로 연결하는 연결 패턴(52c)이 형성되어 있다. 메모리 셀(50)의 가장자리영역(B-B')에 형성된 바형 패턴(52a, 52b)과 이 들을 서로 연결하는 연결 패턴(52c)은 더미 패턴이다.

【보정대상항목】 식별번호 31

【보정방법】 정정

【보정내용】

더미 패턴은 셀영역(A-A')의 바형 패턴(51)과 동일 물질을 사용한 동일 포토리소그래피 공정에 의해 형성되며, 가장자리영역(B-B')은 더미영역이라고도 한다.

【보정대상항목】 식별번호 32

【보정방법】 정정

【보정내용】

바형 패턴(51)은 통상적으로 기판의 활성영역과 콘택되는 플러그 형성 공정(Landing plug contact; LPC 공정이라 함)에 사용되고, 또한 소자분리막 형성 공정(Isolation 공정)에도 주로 사용된다.

【보정대상항목】 식별번호 33

【보정방법】 정정

【보정내용】

셀 가장자리영역(B-B')에서의 더미 패턴(구체적으로 바형 패턴(52, 52b))의 크기는 셀영역(A-A')에서의 바형 패턴(51)의 크기와 실질적으로 동일하며, 크기

의 허용 범위는 셀영역(A-A')에서의 바형 패턴(51)의 크기의 80% ~ 120% 정도 까지 가능하다.

【보정대상항목】 식별번호 38

【보정방법】 정정

【보정내용】

도 6을 참조하면, 셀 가장자리영역(B-B')에서 두 개의 바형 패턴(52a, 52b)이 연결 패턴(52c)을 통해 서로 연결되어 하지층과의 접촉 면적이 증대된 구조의 더미 패턴이 복수개 형성되어 있다.

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

따라서, 도 5와 같이 패턴의 무너지는 현상을 방지할 수 있다.

【보정대상항목】 식별번호 40

【보정방법】 정정

【보정내용】

상기와 같이 본 발명에서는 바형 패턴 형성시 예컨대, 메모리셀의 가장자리 영역에 형성되는 바형 더미 패턴을 형성함에 있어서, 이들 바형 더미 패턴이 서로 연결된 형태로 형성하여 더미 패턴과 하지층간의 접촉면적을 증대시켜 셀 가장자리영역에서의 바형 패턴의 무너짐 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

가장자리영역이 중앙에 비해, 패턴의 밀도가 낮은 반도체장치에 있어서,
상기 웨이퍼의 중앙에 일정 간격으로 배치된 다수의 바형 패턴; 및
상기 웨이퍼의 가장자리영역에서 바형으로 이루어진 적어도 두 개의 패턴이
서로 연결된 더미 패턴
을 포함하는 반도체장치.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 1 항에 있어서,
상기 더미 패턴은,
제1바형 패턴과, 상기 제1바형 패턴과 소정의 간격으로 배치된 제2바형 패
턴과, 상기 제1바형 패턴과 상기 제2바형 패턴을 상호 연결하는 연결패턴으로 이
루어진 것을 특징으로 하는 반도체장치.

【보정대상항목】 청구항 5

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 더미 패턴은,

제1바형 패턴과, 상기 제1바형 패턴과 소정의 간격으로 배치된 제2 내지 제N(N은 2 이상의 자연수) 바형 패턴과, 상기 제1 내지 제N바형 패턴 중 적어도 두 개를 상호 연결하는 연결패턴으로 이루어진 것을 특징으로 하는 반도체장치.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.12.26
【발명의 명칭】	반도체장치
【발명의 영문명칭】	Semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 특허법인 신 성 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 셀 가장자리영역 등 패턴 취약 지역에서의 패턴이 무너지는 현상을 근본적으로 방지할 수 있는 반도체장치를 제공하기 위한 것으로, 이를 위해 본 발명은, 가장자리영역이 중앙에 비해 패턴의 밀도가 낮은 반도체장치에 있어서, 상기 웨이퍼의 중앙에 일정 간격으로 배치된 다수의 바형 패턴; 및 상기 웨이퍼의 가장자리영역에서 바형으로 이루어진 적어도 두 개의 패턴이 서로 연결된 더미패턴을 포함하는 반도체장치를 제공한다.

【대표도】

도 5

【색인어】

리프팅(Lifting), 패턴 무너짐(Pattern collapse), 소자분리막, 랜딩플러그콘택, 연결 패턴, 더미패턴(Dummy pattern), 바형 패턴.

【명세서】**【발명의 명칭】**

반도체장치{Semiconductor device}

【도면의 간단한 설명】

도 1은 셀영역과 셀 가장자리영역에 형성된 바형 패턴을 도시한 평면도.

도 2는 셀 가장자리영역에서의 패턴 붕괴 현상을 설명하기 위한 모식도.

도 3은 바형 패턴의 셀영역 가장자리에서의 더미패턴의 패턴 무너짐 현상을 도시한 평면 SEM 사진.

도 4a 내지 도 4c는 셀 가장자리영역에서의 바형 패턴의 무너짐 현상을 도시한 SEM 사진.

도 5는 본 발명의 일실시예에 따라 소정의 바형 패턴 형성 공정이 완료된 반도체장치의 평면도.

도 6은 도 5의 반도체 메모리 셀을 도시한 평면 SEM 사진.

* 도면의 주요부분에 대한 부호의 설명 *

50 : 웨이퍼 51 : 바형 패턴

52a, 52b : 셀 가장자리영역에서의 바형 패턴

52c : 연결 패턴

A-A' : 셀 중앙 영역 B-B' : 셀 가장자리영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체장치에 관한 것으로, 특히 셀 가장자리(Cell edge)영역에서의 패턴 무너짐(Collapse) 현상을 방지할 수 있는 반도체장치에 관한 것이다.
- <13> 반도체장치의 집적도가 증가함에 따라 공정상의 여러 문제가 부수적으로 발생하게 되었는데, 그 중의 하나가 반도체메모리 소자의 셀 가장자리에서의 패턴 불량이다.
- <14> 예컨대, 반도체장치를 구성하는 고립된 바 형상의 패턴(Isolated bar pattern) 형성과 같은 반복적인 패턴 형성시 셀 가장자리영역에서의 효율적인 패턴 형성을 위해 셀 최외곽에 셀영역에서의 라인 패턴과 동일한 방법으로 더미 패턴을 셀영역과 동일한 크기로 제작하여 셀영역 가장자리에서의 포토리소그래피 공정 상에서 발생하는 프락시미티 효과(Proximity effect; Micro loading effect, 패턴이 밀한 지역과 소한 지역의 경계면에서 식각되는 속도가 차이가 나는 현상)를 최소화할 수 있도록 패턴 형성 공정을 실시하고 있다.
- <15> 이는 반도체장치의 집적도가 증가함에 따라 셀 최외곽 영역에서의 바형 패턴 형성시 셀 중앙 부위에서의 라인 패턴과 동일 환경을 갖게 함으로써 선폭의 균일도를 향상시키기 위한 것이다.
- <16> 도 1은 셀영역과 셀 가장자리영역에 형성된 바형 패턴을 도시한 평면도이고, 도 2는 셀 가장자리영역에서의 패턴 붕괴 현상을 설명하기 위한 모식도이며, 도 3은 바형 패턴의

셀영역 가장자리에서의 더미패턴의 패턴 무너짐 현상(Collapse)을 도시한 평면 SEM 사진이다.

<17> 도 1을 참조하면, 반도체 메모리 소자의 셀에서 셀영역과 주변영역 즉, 셀영역 가장자리에서의 더미영역에 각각 다수의 바형 패턴(10a, 10b)이 소정의 간격(d)을 갖고 배치되어 있다.

<18> 더미패턴(10b)들은 주 패턴의 형성에만 도움을 주는 역할을 수행하며 더미패턴(10b)의 존재는 매우 중요하며 반드시 필요로 한다.

<19> 하지만, 반도체장치의 집적도가 증가함에 따라 120nm 이하의 소자를 제조할 경우에는 선폭에 비해 식각내성을 고려하여 포토레지스트의 두께를 증가시키는 것이 불가피하게 되었고, 이에 따라 패턴의 무너짐 현상은 직선(Straight)형 패턴을 갖는 경우에 비해 고립된 바형 패턴 형성시 매우 큰 이슈로 부각된다. 특히, 셀영역 가장자리에서의 프락시미티 효과로 인해 셀영역의 패턴과 동일한 크기로 제작된 반복적인 더미패턴(10b)의 크기가 작아지는 현상(도 2의 11)이 발생하며, 이로 인해 포토레지스트 패턴의 붕괴 문제(12)는 더욱 심화되고 있는 실정이다.

<20> 도 4a 내지 도 4c는 셀 가장자리영역에서의 바형 패턴의 무너짐 현상을 도시한 SEM 사진이다.

<21> 도 4a 내지 도 4c를 참조하면, 셀 가장자리영역에서 프락시미티 효과로 인해 더미패턴(10b)이 무너지는 현상(12)이 여러가지 형태로 나타남을 확인할 수 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 셀 가장자리영역 등 패턴 취약 지역에서의 패턴이 무너지는 현상을 근본적으로 방지할 수 있는 반도체장치를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<23> 상기의 목적을 달성하기 위한 본 발명은, 가장자리영역이 중앙에 비해 패턴의 밀도가 낮은 반도체장치에 있어서, 상기 웨이퍼의 중앙에 일정 간격으로 배치된 다수의 바형 패턴; 및 상기 웨이퍼의 가장자리영역에서 바형으로 이루어진 적어도 두 개의 패턴이 서로 연결된 더미패턴을 포함하는 반도체장치를 제공한다.

<24> 본 발명은 패턴의 무너짐 현상의 극복이 패턴이 하지층(예컨대, 절연막)과의 접촉면적이 클 경우에 효과적이라는 기본적인 원리로부터 출발한다. 이를 위해 셀 레이아웃 설계시 반복적인 고립된 바형 패턴 형성시 셀 가장자리영역에서의 효율적인 패턴 형성을 위해 셀 최외곽에 최소한 수개에서 수십개 사이의 형성된 더미패턴을 셀영역과 거의 유사한 크기로 제작하여 셀 가장자리영역에서의 포토리소그래피 공정에서의 한계로 발생되는 프락시미티 효과를 최소화하기 위해 다음과 같이 한다.

<25> 1). 반도체장치에서 셀 가장자리영역에서의 패턴은 더미패턴으로 형성한다.

<26> 2). 이 때, 더미패턴 간에는 패턴 무너짐을 효과적으로 방지하기 위해 하지층과의 접촉 면적을 증가시키기 위해 구획적으로 인접한 더미패턴간 상호 연결한다.

- <27> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.
- <28> 도 5는 본 발명의 일실시예에 따라 소정의 바형 패턴 형성 공정이 완료된 반도체장치의 평면도를 나타낸다.
- <29> 도 5를 참조하면, 본 발명의 반도체장치는 소정 공정이 완료됨에 따라 유발되며 그 가장자리영역(B-B')이 가장자리영역을 제외한 영역(A-A')에 비해 낮은 토폴로지를 갖는 바형 패턴의 사이즈가 줄어드는 반도체 메모리 셀(50)이 배치되어 있으며, 메모리 셀(50)의 가장자리를 제외한 영역(A-A')에 배치된 다수의 바형 패턴(51)과, 바형 패턴(51)이 메모리 셀(50)의 가장자리영역(B-B')에 형성될 경우 바형 패턴(52a, 52b)이 무너지는 것을 방지하기 위해 적어도 두 개의 바형 패턴(52a, 52b)을 서로 연결하는 연결 패턴(52c)이 형성되어 있다. 메모리 셀(50)의 가장자리영역(B-B')에 형성된 바형 패턴(52a, 52b)과 이들을 서로 연결하는 연결 패턴(52c)은 더미패턴이다.
- <30> 여기서, 셀 가장자리영역(B-B')은 셀영역(A-A' 즉, 셀 중앙)에 비해 패턴의 밀도가 낮아 낮은 토폴로지를 갖는다.
- <31> 더미패턴은 셀영역(A-A')의 바형 패턴(51)과 동일 물질을 사용한 동일 포토리소그라피 공정에 의해 형성되며, 가장자리영역(B-B')은 더미영역이라고도 한다.

- <32> 바형 패턴(51)은 통상적으로 기판의 활성영역과 콘택되는 플러그 형성 공정 (Landing plug contact; LPC 공정이라 함)에 사용되고, 또한 소자분리막 형성 공정 (Isolation 공정)에 주로 사용된다.
- <33> 셀 가장자리영역(B-B')에서의 더미패턴(구체적으로 바형 패턴(52, 52b))의 크기는 셀영역(A-A')에서의 바형 패턴(51)의 크기와 실질적으로 동일하며, 크기의 허용 범위는 셀영역(A-A')에서의 바형 패턴(51)의 크기의 80% ~ 120% 정도까지 가능하다.
- <34> 또한, 전술한 셀영역(A-A')과 셀 가장자리영역(B-B')외에도 반도체 메모리의 메모리 코어(Core) 영역과 주변회로영역(Pheripery) 사이에서도 적용이 가능하다.
- <35> 전술한 도 5에서 확인할 수 있듯이, 셀영역(A-A')에 비해 하지층과의 접착력이 상대적으로 약한 바형 패턴(52a, 52b)의 경우 적어도 두 개의 바형 패턴(52a, 52b) 간을 연결 패턴(52c)을 통해 서로 연결된 상태로 패턴을 제작하여 하지층과의 접촉면적을 늘려 접착력을 향상시킬 수 있다.
- <36> 따라서, 프락시미티 효과로 인한 패턴 무너짐 현상을 최소화할 수 있다.
- <37> 도 6은 도 5의 반도체 메모리 셀을 도시한 평면 SEM 사진이다.
- <38> 도 6을 참조하면, 셀 가장자리영역(B-B')에서 두 개의 바형 패턴(52a, 52b)이 연결 패턴(52c)을 통해 서로 연결되어 하지층과의 접촉 면적이 증대된 구조의 더미 패턴이 다수 형성되어 있다.
- <39> 따라서, 패턴의 무너짐 현상이 발생하지 않았음을 확인할 수 있다.

<40> 상기와 같이 본 발명에서는 바형 패턴 형성시 예컨대, 메모리셀의 가장자리영역에 형성되는 바형 더미패턴을 형성함에 있어서, 이들 바형 더미패턴이 서로 연결된 형태로 형성하여 더미패턴과 하지층간의 접촉면적을 증대시켜 셀 가장자리영역에서의 바형 패턴의 무너짐 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

<41> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<42> 예컨대, 전술한 실시예에서는 바형 패턴으로 소자분리막과 랜딩플러그콘택을 일체로 들어 설명하였으나, 본 발명의 바형 패턴은 소자분리막과 랜딩플러그콘택 이외에도 비트라인과 워드라인 및 금속배선 등의 전도성 패턴에도 적용되며, 비단 이러한 전도성 패턴이 아닌 바 형태를 갖는 각종 패턴을 형성하는 경우에도 응용이 가능하다.

【발명의 효과】

<43> 전술한 본 발명은 라인패턴 형성시 웨이퍼 가장자리영역에서의 패턴 리프팅 현상을 억제할 수 있으며, 리프팅된 패턴이 파티클 소스로 작용함으로써 발생될 수 있는 반도체 장치의 불량을 방지할 수 있어, 궁극적으로 반도체장치의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

가장자리영역이 중앙에 비해 패턴의 밀도가 낮은 반도체장치에 있어서,
상기 웨이퍼의 중앙에 일정 간격으로 배치된 다수의 바형 패턴; 및
상기 웨이퍼의 가장자리영역에서 바형으로 이루어진 적어도 두 개의 패턴이 서로
연결된 더미패턴
을 포함하는 반도체장치.

【청구항 2】

제 1 항에 있어서,
상기 바형 패턴은 소자분리막 패턴 또는 랜딩플러그콘택 패턴인 것을 특징으로 하
는 반도체장치.

【청구항 3】

제 1 항에 있어서,
상기 더미패턴은,
제1바형 패턴과, 상기 제1바형 패턴과 소정의 간격으로 배치된 제2바형 패턴과, 상
기 제1바형 패턴과 상기 제2바형 패턴을 상호 연결하는 연결패턴으로 이루어진 것을 특
징으로 하는 반도체장치.

【청구항 4】

제 3 항에 있어서,

상기 제1바형 패턴과 상기 제2바형 패턴은 상기 바형 패턴 크기의 80% 내지 120%의 크기인 것을 특징으로 하는 반도체장치.

【청구항 5】

제 1 항에 있어서,

상기 더미패턴은,

제1바형 패턴과, 상기 제1바형 패턴과 소정의 간격으로 배치된 제2 내지 제N(N은 2 이상의 자연수) 바형 패턴과, 상기 제1 내지 제N바형 패턴 중 적어도 두 개를 상호 연결하는 연결패턴으로 이루어진 것을 특징으로 하는 반도체장치.

【청구항 6】

제 5 항에 있어서,

상기 제1 내지 제N바형 패턴은 상기 바형 패턴 크기의 80% 내지 120%의 크기인 것을 특징으로 하는 반도체장치.

【청구항 7】

제 1 항에 있어서,



1020020084591

출력 일자: 2003/5/15

상기 중앙 영역은 셀영역이고, 상기 가장자리영역은 셀 가장자리영역인 것을 특징으로 하는 반도체장치.

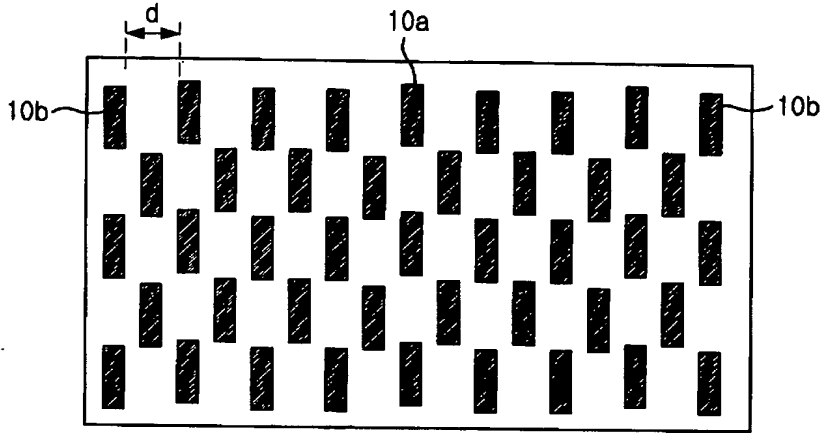
【청구항 8】

제 1 항에 있어서,

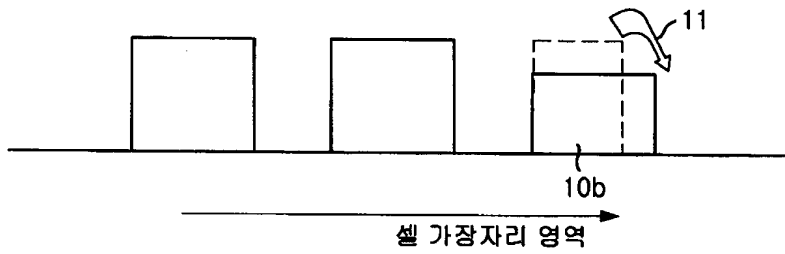
상기 중앙 영역은 셀 코아 영역이고, 상기 가장자리영역은 주변회로영역인 것을 특징으로 하는 반도체장치.

【도면】

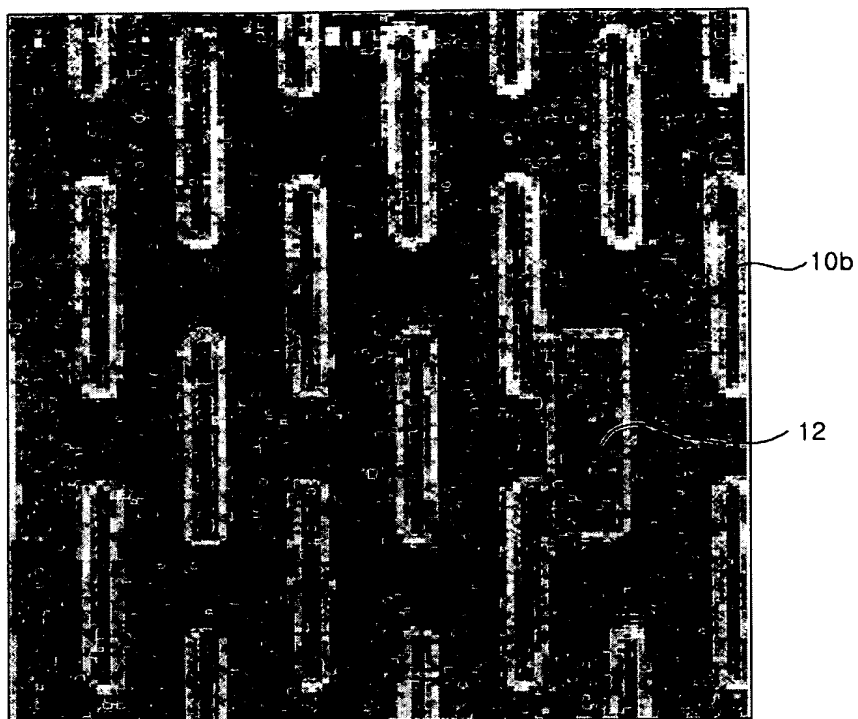
【도 1】



【도 2】



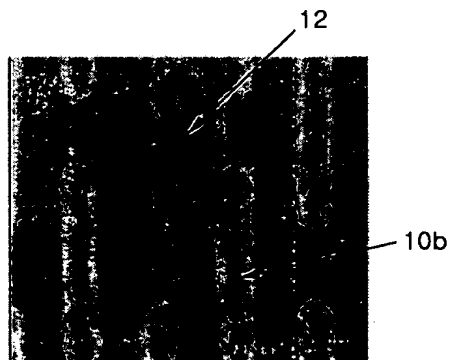
【도 3】



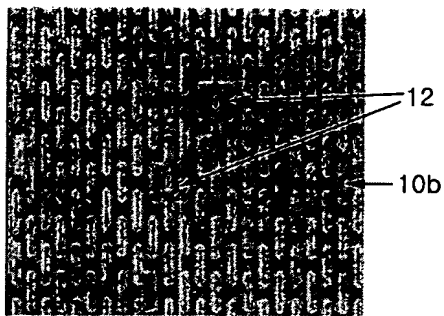
【도 4a】



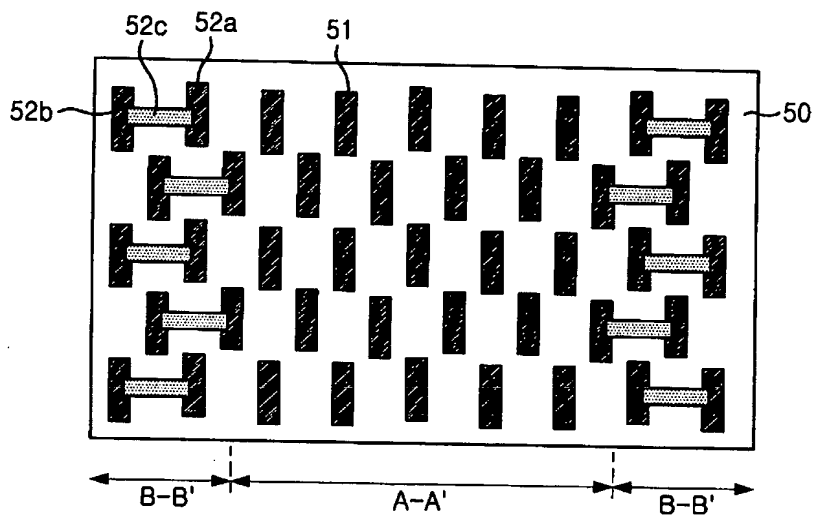
【도 4b】



【도 4c】



【도 5】



【도 6】

